

CLIPPEDIMAGE= JP362193261A

PAT-NO: JP362193261A

DOCUMENT-IDENTIFIER: JP 62193261 A

TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE

PUBN-DATE: August 25, 1987

INVENTOR-INFORMATION:

NAME

KATO, JURI

FUJISAWA, AKIRA

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

N/A

APPL-NO: JP61035736

APPL-DATE: February 20, 1986

INT-CL (IPC): H01L021/76

US-CL-CURRENT: 438/270, 438/655 , 438/FOR.363

ABSTRACT:

PURPOSE: To reduce the microscopic leakage between active elements as well as to form a microscopic element isolation region by a method wherein the surface defective region located on the circumference of a groove when it is formed is coated with an impurity diffusion layer having a shallow junction.

CONSTITUTION: After a thermally oxidized film 2 has been formed on a single crystal silicon substrate 1, a groove 3 is formed on an element isolation region by performing a reactive ion etching, and the groove is buried by storing a Ti silicon layer 4 thereon by conducting a

chemical vapor-phase growing method. After As ions 5 have been implanted into a silicide layer 4, a heat treatment is performed, and a shallow impurity diffusion layer 6 is formed on the circumference of the groove of single crystal. Then, an RCA washing is performed, the Ti silicide is removed by selectively performing an etching, and after the single crystal on the surface of the groove has been coated with the oxide film 2, PSG (phosphorus silicate glass) 7 is stored, high density BPSG 8 is stored, and furrol flattening is performed by conducting a heat treatment thereon. Then, a shallow As impurity diffusion layer 6 is formed on the circumference of the groove by removing the high density BPSG and the PSG on the surface by etching, a thermally oxidized film 2 is coated thereon, and an element isolation structure, wherein the surface of the groove is flattened by being buried with a PSG (phosphorus silicate glass) 9, is completed.

COPYRIGHT: (C)1987,JPO&Japio

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
⑪ 公開特許公報 (A) 昭62-193261

⑤Int.Cl.
H 01 L 21/76

識別記号 庁内整理番号
S-7131-5F

④公開 昭和62年(1987)8月25日

審査請求 未請求 発明の数 1 (全3頁)

③発明の名称 半導体装置の製造方法

②特願 昭61-35736
②出願 昭61(1986)2月20日

⑦発明者 加藤樹理 諏訪市大和3丁目3番5号 セイコーホン株式会社内
⑦発明者 藤沢晃 諏訪市大和3丁目3番5号 セイコーホン株式会社内
⑦出願人 セイコーホン株式 東京都新宿区西新宿2丁目4番1号
会社
⑧代理人 弁理士 最上務 外1名

明細書

1. 発明の名称

半導体装置の製造方法

ICの純粋電子を分離する電子分離領域の製造方法に関する。

(発明の概要)

本発明は、単結晶基板の電子分離領域に溝を掘り、溝には絶縁物を埋め込む電子分離の製造において、該溝には高融点金属シリサイドを埋め込み、イオン打込により溝中のシリサイド中に不純物を注入後、熱処理を行ない該不純物を該溝周辺の単結晶中に拡散させた後、溝中のシリサイドを除去し、代って絶縁物を該溝に埋め込むことを特徴とする半導体装置の製造方法である。

(従来の技術)

従来の電子分離は図8(a)に示すごとく単結晶基板1-1に溝を掘り、溝周辺を熱酸化し酸化膜1-2で覆った後、絶縁物1-3を埋め込み電子分離領域を形成している。

(発明が解決しようとする問題)

この製造方法では、電子分離領域の微細化が不可能になったが、溝掘り時に生じる欠陥が該溝周辺の単結晶中に存在し、純粋電子間に単結晶と熱酸化膜との境界面を通して微少リード電流が生じる。

2. 発明の範囲

1) ICの純粋電子を分離する領域の製造方法において、単結晶基板に酸化膜形成後、電子間分離領域に溝をエッチングにより形成後、高融点金属シリサイドを蓄積し該溝を埋め込み、イオン打込により表面及び該溝中の該シリサイドに不純物を注入後、熱処理を行ない該不純物を該溝周辺の単結晶中に拡散させた後、該溝中及び表面の該シリサイドをエッチング除去した後、該溝には絶縁物を埋め込むことを特徴とする半導体装置の製造方法。

3. 発明の詳細な説明

(発明の利用分野)

本発明は、半導体装置の製造方法について、特

Iの特性に悪影響を及ぼした。本発明は、かかる技術の欠点を取り除き、帯電電子間の微少リークを低減し、かつ微細な電子分離領域の製造方法を提供する。

[問題点を解決するための手段]

従来問題となっている微少リーク電流は、溝周辺の溝周辺の表面欠陥領域を複数接合を持つ不純物拡散層で覆うことにより溝の単結晶と純粋物界面のリークを抑えることで低減する。また溝周辺の表面欠陥領域への不純物拡散を、シリサイドを通して不純物拡散することにより、不純物の単結晶中への拡散が高濃度かつ複数接合で抑制され電子分離領域の微細化が可能となる。

[作用]

本発明の作用を述べれば、不純物イオン注入された溝中に埋め込まれた高融点金属シリサイドは拡散源の役割をする。高融点金属はCVDで形成した場合、単結晶基板の溝表面全面に付着し、ほぼ完全に溝を埋め込むことができる。またシリサイド中の不純物拡散はグレイン境界を通して非常に

遅く拡散する。このため該金属シリサイドを拡散源として熱処理を行なうと、単結晶の溝全体の表面に均一な、しかも浅い不純物拡散層ができるという長所を持つ。

[実施例]

以下実施例を用いて説明する。

第1図において、単結晶シリコン基板1に熱酸化膜2を形成後、反応性イオンエッティングにより電子分離領域3を形成する。次に第2図に示すように化学気相成長によりTiシリサイド層4を蓄積し該溝を埋め込む。さらに第3図に示すごくAsイオン5をシリサイド層4に注入した後、約1100°C 10秒の熱処理を行なうことにより、第4図に示すごとく単結晶の溝周辺に浅い不純物拡散層6を形成する。第6図ではRCA洗浄にて、Tiシリサイドを選択的ICエッティング除去している。第6図では、熱酸化により該溝表面単結晶シリコン化膜2で覆った後、4mol%以下のBPSG7を蓄積後、高濃度BPSG8を蓄積し1000°C 10秒の熱処理にてフローレ平坦化している。このとき単結晶

中の不純物6の拡散はほとんどない。次に高濃度BPSGと表面のPRGをエッティング除去することにより、第7図に示すような、単結晶シリコンの電子分離領域には溝が形成され、該溝周辺に浅いAs不純物拡散層6が形成され、熱酸化膜2で覆われ該溝は表面が平坦化されたPRG9で埋め込まれた電子分離構造が完成する。

[発明の効果]

以上が明したように本発明によれば、帯電電子間の微少リーク電流が抑制された、しかも微細化可能な電子分離領域の製造方法が可能になる。

4. 構造の簡単な説明

第1図～第7図…本発明による電子分離領域の形成工程断面図

第8図…従来技術による電子分離領域の形成

工程断面図

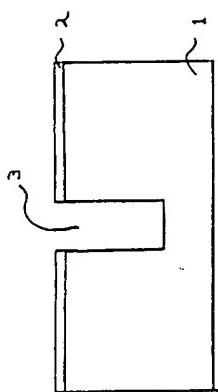
- 1 …… 単結晶基板
- 2 …… 热酸化膜
- 3 …… RIEにて掘られた溝

- 4 …… シリサイド層
- 5 …… 不純物イオン
- 6 …… 単結晶基板中の不純物拡散層
- 7 …… PRG
- 8 …… BPSG
- 9 …… 溝を埋め込んだPRG

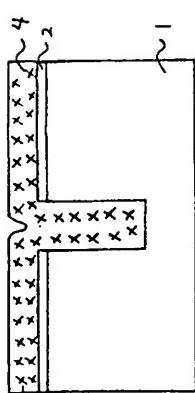
以上

出願人 セイコーエプソン株式会社

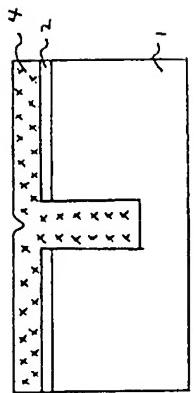
代理人 弁理士 最上 泰一
（印）



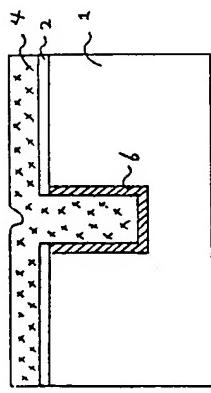
第1図



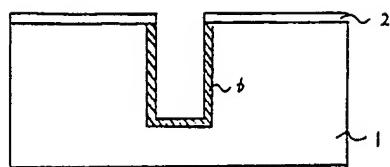
第2図



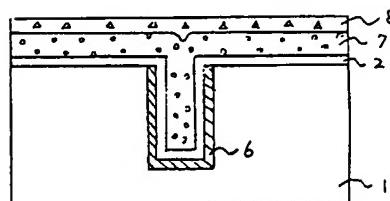
第3図



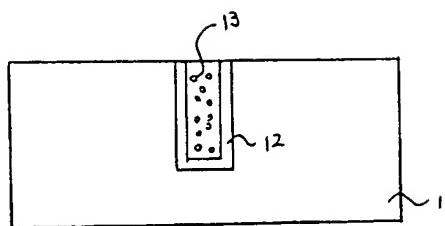
第4図



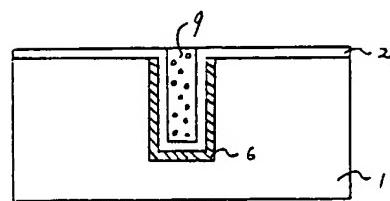
第5図



第6図



第8図



第7図